

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representation of
The original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-112810

(43)Date of publication of application : 22.04.1994

(51)Int.Cl. H03K 19/173
H01L 27/04
H03K 19/096

(21)Application number : 04-285249

(71)Applicant : SONY CORP

(22)Date of filing : 30.09.1992

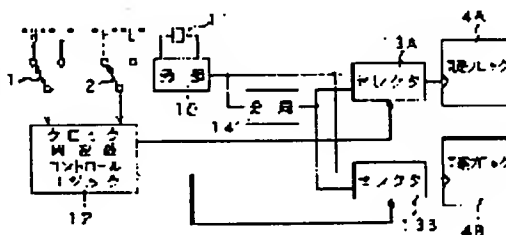
(72)Inventor : FUKUDA SHINICHI
FUKAMI TADASHI
MOROHOSHI ARIHIRO

(54) DIGITAL IC DEVICE

(57)Abstract:

PURPOSE: To minimize the power consumption required for each mode by reducing the power consumption of a circuit block not in use.

CONSTITUTION: A clock signal with a usual frequency from an oscillating circuit 10 or a clock signal with a frequency lower than the usual frequency resulting from frequency-dividing the signal from the circuit 10 at a frequency divider circuit 14 is selected by selectors 13A, 13B and fed to clock input terminals of circuit blocks 4A, 4B being different function blocks in a digital IC. The selectors 13A, 13B are selectively controlled with a signal from a clock frequency control logic circuit 12 receiving the signal from mode changeover switches 1, 2, and the clock signal with a lower frequency than the usual frequency is sent to the circuit block not in use depending on the mode.



(19)日本特許庁 (J P) (12) 公開特許公報 (A)

(11)特許出願公開番号

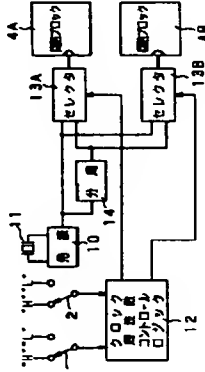
特開平6-112810
(43)公開日 平成 6 年(1994) 4 月 22 日

(51)Int. Cl.	識別記号	庁内整理番号	F I	技術表示箇所
H 03 K 19/173	1 0 1	8383-5 J		
H 01 L 27/04	M	8427-4 M		
H 03 K 19/086	Z	8321-5 J		

(21)出願 号	特願平4-285249	(71)出願人	00002185 ソニー株式会社
(22)出願日	平成4年(1992)9月30日	(72)発明者	福田 伸一 東京都品川区北品川8丁目7番35号 ソニ 株式会社内
		(72)発明者	梶見 正 東京都品川区北品川8丁目7番35号 ソニ 株式会社内
		(72)発明者	熊島 有祐 東京都品川区北品川8丁目7番35号 ソニ 株式会社内
		(74)代理人	井理士 小池 晃 (外2名)

(54)【発明の名称】 デジタル IC 装置

(57)【要約】
【構成】 デジタル IC 内の異なる機能ブロックであ
る回路ブロック 4 A、4 B へのクロック入力端子に、発
振回路 1 0 からの通常の周波数のクロックと、分周回
路 1 4 で分周した通常より低い周波数のクロックとを、セ
レクタ 1 3 A、1 3 B でそれぞれ選択して供給する。セ
レクタ 1 3 A、1 3 B は、モード切換スイッチ 1、2 か
らの信号が入力されるクロック周波数コントローラロジ
ック回路 1 2 からの信号により選択制御され、モードに
よっては使用しない回路ブロックに上記通常より低い
周波数のクロックを送るようにする。
【効果】 使用しない回路ブロックの消費電力を少なく
し、モードによって必要最小限の消費電力で済むよう
にする。



(2)

【特許請求の範囲】

【請求項 1】 内部が複数の機能ブロックに分かれて構
成され、所定の動作モード時に使用される第 1 のプロ
ックと使用されない第 2 のプロックとを有するデジタル
IC 装置において、

上記所定の動作モード時に上記第 2 のプロックのフリ
ックアップのクリップ端子にクリップ信号を供給すること
を特徴とするデジタル IC 装置。

【請求項 2】 内部が複数の機能ブロックに分かれて構
成され、所定の動作モード時に使用される第 1 のプロ
ックと使用されない第 2 のプロックとを有するデジタル
IC 装置において、

上記所定の動作モード時に上記第 2 のプロックへの入力
信号を全て固定することを特徴とするデジタル IC 装
置。

【請求項 3】 内部が複数の機能ブロックに分かれて構
成され、所定の動作モード時に使用される第 1 のプロ
ックと使用されない第 2 のプロックとを有するデジタル
IC 装置において、

上記所定の動作モード時に上記第 2 のプロックのフリ
ックアップへのクロックを停止することを特徴とするデ
ジタル IC 装置。

【請求項 4】 内部が複数の機能ブロックに分かれて構
成され、所定の動作モード時に使用される第 1 のプロ
ックと使用されない第 2 のプロックとを有するデジタル
IC 装置において、

上記所定の動作モード時に上記第 2 のプロックのダイ
ミックフリックアップへのクロックを、通常より低い
周波数のクロックに変えて供給することを特徴とするデ
ジタル IC 装置。

【請求項 5】 内部が複数の機能ブロックに分かれて構
成され、所定の動作モード時に使用される第 1 のプロ
ックと使用されない第 2 のプロックとを有するデジタル
IC 装置において、

上記所定の動作モード時に上記第 2 のプロックのフリ
ックアップのクリップ端子にクリップ信号を供給すると共
に、クロック入力端子に通常より低い周波数のクロック
を供給することを特徴とするデジタル IC 装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、内部がいくつかの機能
ブロックに分かれているデジタル IC 装置に関する。

【0002】

【従来の技術】 近年において、オーディオ信号やビデオ
信号をデジタル化したデジタル信号等を記録・再生
したり送信・受信したりするためのデジタル機器が各
種開発され、市場に提供されており、このようなディ
ジタル機器に用いられるデジタル信号処理用の IC (集
積回路) も多くの種類のものが知られている。

【0003】 このようなデジタル IC の中で、複数の

機能や動作モードを納めるものも多数存在している。例
えば、デジタルオーディオデータレコーダ (DAT) の
記録・再生信号処理 IC においては、大別して記録モ
ードと再生モードとを納めている。この多機能タイ
プ IC は、一般に内部が複数の機能ブロックに分かれてい
ることが多く、これらの複数の機能ブロックの内、上
記動作モードによって使用されないブロックが生じる
ことがある。例えば、上記記録・再生信号処理 IC の
場合に、記録モード時では、再生にしか使用しないブ
ロックは不要であり、実質的に有効な動作をしていな
い。

【0004】

【発明が解決しようとする課題】 ところで、上述したよ
うにある所定のモード (例えば上記記録モード) 時に、
使用されないブロック (例えば上記再生専用用のプロ
ック) にデータが入力されている、クロックが入力され
ていたりすると、そのブロックの出力を何らかのい
まかかわらず動作していることになる。いわゆる CMO
S プロセスによるデジタル IC では、内部の 1/0 の
状態が変化するとともに電流が流れるから、使用され
ないブロックでもデータ入力やクロック入力等によっ
て 1/0 状態の変化が生じれば、電流が消費されること
になる。

【0005】 本発明は、このような実情に鑑みてなされ
たものであり、動作モードによって使用されない機能ブ
ロックについては、その動作モード中に消費電流
を必要最小限に抑え、IC の電力消費量を軽減し得るよ
うなデジタル IC 装置の提供を目的とするものであ
る。

【0006】

【課題を解決するための手段】 本発明に係るデジタル
IC 装置によれば、内部が複数の機能ブロックに分か
れて構成され、所定の動作モード時に使用される第 1 のブ
ロックと使用されない第 2 のプロックとを有するディ
ジタル IC 装置において、上記所定の動作モード時に、上
記第 2 のプロックのフリックアップへのクリップ端子にク
リップ信号を供給することにより、又は、上記第 2 のブ
ロックへの入力信号を全て固定することにより、又は、上
記第 2 のプロックのフリックアップへのクロックを停
止することにより、又は、上記第 2 のプロックのダイ
ミックフリックアップへのクロックを通常より低い周
波数のクロックに変えて供給することにより、又は、上
記第 2 のプロックのフリックアップへのクリップ端子にク
リップ信号を供給すると共にクロック入力端子に通常
より低い周波数のクロックを供給することにより、上述の課
題を解決する。

【0007】

【作用】 所定の動作モード時には使用されない第 2 のブ
ロックについて、フリックアップクロックをクリップ状態とし
り、入力信号を固定したり、クロックを停止又は低い周

(5)

のセレクト13Aに送り、ロジック回路12からの他の出力信号を回路ブロック4Bへのクロックの選択するためのセレクト13Bに送っている。これらのセレクト13A、13Bには、水晶振動子11を用いたクロック発生用の発振回路10からの第1の周波数のクロック信号と、このクロック信号を分周回路14で分周した第2の周波数のクロック信号との両方がそれぞれ供給されている。セレクト13Aからの出力信号は回路ブロック4Aのクロック入力端子に送られ、セレクト13Bからの出力信号は回路ブロック4Bのクロック入力端子に送られている。ここで、発振回路10からの第1の周波数のクロック信号は正常動作を行わせるための信号であるのに対し、分周回路14で分周された第2の周波数のクロック信号は通常よりも低い周波数で、後述するようにダイナミックフリックアップフロップに大きな電流を流さないようにする低電圧の周波数の信号である。

【0023】この場合のクロック周波数コントロールロジック回路12の具体例としては、切換スイッチ1から出力信号をそのままセレクト13Bに送り、切換スイッチ2からの出力信号をセレクト13Aに送るような構成とすればよく、これに對するセレクト13A、13Bとしては、いずれも、選択即信号が“H”のときに発振回路10からの第1の周波数のクロック信号を選択し、制御信号が“L”のときに分周回路14からの第2の周波数のクロック信号を選択するものを用いればよい。ここで例えば上記状態“01”の第1の動作モード時には、切換スイッチ1の出力が“L”で、切換スイッチ2の出力が“H”であるから、クロック周波数コントロールロジック回路12からセレクト13Bへの制御信号が“L”となり、分周回路14からの上記第2の周波数のクロック信号が選択されて回路ブロック4Bに供給されるのに対し、セレクト13Aへの制御信号が“H”であるから、回路ブロック4Aには発振回路10からのクロック信号が供給されることになる。他のモードも同様な動作であるため、説明を省略する。

【0024】ここで、いわゆるCMOS ICを用いる場合の動作原理について、及び上記ダイナミックフリックアップフロップの動作原理について、図5～図7を参照しながら説明する。先ず図5は、いわゆるCMOSインバータの内部の構成を示し、入力端子21がPチャネルMOSトランジスタ22のゲート及びNチャネルMOSトランジスタ23のゲートに接続されている。PチャネルMOSトランジスタ22のソースはVdd電源端子に接続され、ドレインはNチャネルMOSトランジスタ23のドレインに接続されて出力端子24に接続される。NチャネルMOSトランジスタ23のソースはGnd(接地)端子に接続されている。PチャネルMOSトランジスタ22はゲートが“L”になるとオン(ドレインソース間がローインピーダンス)となり、NチャネルMOSトランジスタ23はゲートが“H”になると、N

となる。
【0025】入力端子21の入力が“H”のとき、NチャネルMOSトランジスタ23がオンし、上記Gnd(接地)レベルの信号“L”が出力端子24から取り出されるのに対し、入力が“L”のときにはPチャネルMOSトランジスタ22がオンして、上記Vdd電源レベルの信号“H”が出力される。入力が“H”から“L”に、あるいは“L”から“H”に変化すると、変化の途中でPチャネルMOSトランジスタ22、NチャネルMOSトランジスタ23が共にある程度オンになる瞬間があり、このときVdd電源端子とGnd(接地)端子間に比較的大きな電流が流れる。これが、上述したIC内部の1/10の状態変化が少ないほど電流消費量が少なくできる理由である。

【0026】次に、ダイナミックフリックアップフロップの場合には、例えば図6に示すように、その内部のノードaの電圧保持を容易(コンデンサや静電容量)36にたよっている。すなわち、この図6において、入力端子31は、ソース・ドレイン間が互いに並列に接続されたPチャネルMOSトランジスタ34とNチャネルMOSトランジスタ35との一方の接続点に接続され、他方の接続点aは容量36に接続されている。PチャネルMOSトランジスタ34のゲートには端子32からの反転クロック信号CKが、また、NチャネルMOSトランジスタ35のゲートには端子33からのクロック信号CKがそれぞれ供給されている。上記接続点aは、PチャネルMOSトランジスタ38のゲート及びNチャネルMOSトランジスタ39のゲートに接続されている。PチャネルMOSトランジスタ38のソースはVdd電源端子に接続され、ドレインはNチャネルMOSトランジスタ39のドレインに接続されて出力端子37に接続される。NチャネルMOSトランジスタ39のソースはGnd(接地)端子に接続されている。

【0027】この図6の構成において、クロック信号CKが“H”(CKが“L”)のときには、PチャネルMOSトランジスタ34とNチャネルMOSトランジスタ35と共にオン状態となって点aに入力端子31のレベルが現れ、その後クロック信号CKが“L”となると、入力端子31と点aとの間の接続が切れ、入力端子31の電圧が保持される。これは、点aがローインピーダンスになっているので、点aに付いて見ても、容量36に電圧が保持されることで電圧が保たれるからである。しかし、高インピーダンスといっても、小さな容量36に蓄えられた電圧は同様に放出され、点aは上記Vdd電源端子とGnd(接地)との中間電位に落ちることになる。このとき、上述した図5の説明と同様に、点aの出力側のインバータ(トランジスタ38、39)において、Vdd電源端子からGnd(接地)端子に比較的大きな電流が流れてしまう。これを防ぐために、このような状態になる前に再びクロックCKを

(6)

“H”にして、点aに入力レベルを与えてやる必要があるわけである。

【0028】図7の(A)～(D)は上述したような動作を説明するための波形図であり、(A)はクロック信号CKを、(B)は入力端子31の入力信号を、(C)は上記a点の電圧(レベル)を、また(D)は出力端子37の出力信号をそれぞれ示している。この図7において、時刻t₁ではクロック信号(A)が“H”であるから、入力(B)が“H”から“L”に変化すれば、上記a点の電圧(レベル)(C)も“H”から“L”に変化する。インバータ出力(D)は“L”から“H”に変化する。時刻t₂でクロック信号(A)が“L”となると、容量36に蓄えられた電圧が徐々に放電されて、a点の電圧(C)が上記Vdd電源端子とGnd(接地)との中間電位に近付いてゆき、例えば時刻t₃でこの中間電位と大きき電流が流れることとなるため、時刻t₃よりも前の時点で(A)のクロック信号CKを“H”とするような周波数の信号を上記分周回路14から得るようによればよい。

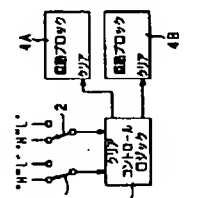
【0029】従って、図4に示した本発明の第4の実施例においては、通常動作時の本来の周波数(上記第1の周波数)のクロック信号を、ダイナミックフリックアップの内部ノード(a点)の電圧が上記中間電位にならない範囲でなるべく低い周波数(上記第2の周波数)に周し、動作モードによって使用しない回路ブロックはこの低い周波数のクロック信号を供給するようにすればよい。

【0030】なお、本発明は上記実施例のみに限定されるものでなく、例えば、上記第1の実施例から第4の実施例までの内の任意の2つ以上を組み合わせて使用するようにしてもよく、特に、上記第1の実施例と上記第4の実施例とを組み合わせて用いるのが好ましい。この他、3つ以上の回路ブロックが取付けられたデジタルICに本発明を適用できることは勿論である。

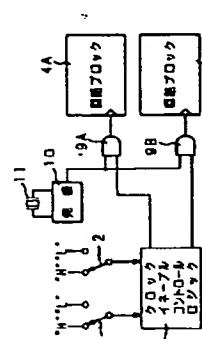
【0031】

【発明の効果】以上の説明からも明らかなように、本発明に係るデジタルIC装置によれば、内部が複数の機

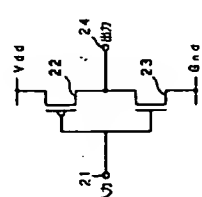
【図1】



【図3】



【図5】



能ブロックに分かれて構成され、所定の動作モード時に使用される第1のブロックと使用されない第2のブロックとを有するデジタルIC装置において、所定の動作モード時には使用されない第2のブロックについて、フリックアップフロップをクローズ状態とし、入力信号を固定したり、クロックを停止又は低い周波数に切り換えたりすることにより、第2のブロックを流れる電流量が減少し、電力消費量を抑えることができる。

【図面の簡単な説明】

【図1】本発明に係るダイナミックフリックアップの第1の実施例の内部構成を示すブロック図である。
【図2】本発明に係るダイナミックフリックアップの第1の実施例の内部構成を示すブロック図である。図2は、図1の内部構成の動作を説明するための波形図である。
【図3】本発明に係るダイナミックフリックアップの第1の実施例の内部構成を示すブロック図である。
【図4】本発明に係るダイナミックフリックアップの第1の実施例の内部構成を示すブロック図である。
【図5】CMOSインバータの内部構成を示す回路図である。

【図6】ダイナミックフリックアップフロップの内部構成を示す回路図である。

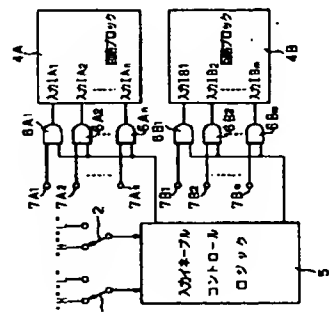
【図7】図6の動作を説明するための波形図である。

【符号の説明】

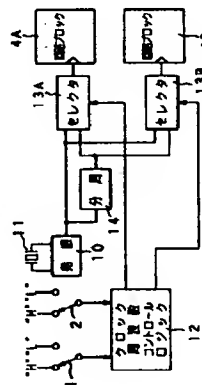
- 1、2・・・切換スイッチ
- 3・・・クリップコントロールロジック
- 4A、4B・・・回路ブロック
- 5・・・入力インバータコントロールロジック
- 6A₁～6A_n、6B₁～6B_n、9A、9B・・・アンドゲート
- 7A₁～7A_n、7B₁～7B_n・・・信号入力端子
- 8・・・クロックインバータコントロールロジック
- 10・・・クロック発生回路
- 11・・・水晶振動子
- 12・・・クロック周波数コントロールロジック
- 13A、13B・・・セレクト
- 14・・・分周回路

(7)

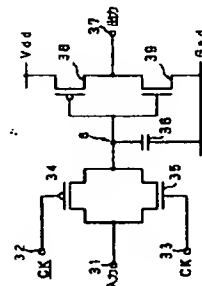
【図2】



【図4】



【図6】



【図7】

